

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093580

(43)Date of publication of application : 10.04.1998

(51)Int.CI.

H04L 12/28
G06F 13/00
H04L 29/04
H04N 7/10
H04N 7/24

(21)Application number : 08-246731

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.09.1996

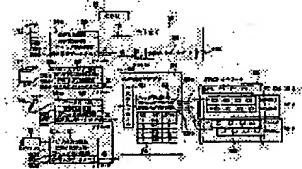
(72)Inventor : JIKUYA TAKAYUKI
HATA EIZO
KIMOTO MASAHIRO

(54) DATA PROCESSING UNIT AND CONTROL METHOD FOR DATA PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high quality service for multimedia information requiring real time performance without being restricted by a capability of a CPU and a memory size or the like.

SOLUTION: A CPU 11, a main memory 12, a voice output interface 54, a display interface 56, a voice input interface 58, a video input interface 60, and an asynchronous transfer mode(ATM) communication adaptor 61 provided with a bus controller 62 and with a management table 64 storing in cross reference a virtual path(VP), a virtual channel(VC) and a direct memory access(DMA) transfer address for each interface (data with different attribute) are connected to a system bus 13. Each interface is provided with a memory (54d-60d) possible for DMA transfer from the bus controller 62 and a header delete/addition circuit (54c-60c) for a transfer control protocol and data are transferred directly not via the CPU 11 and the main memory 12 between the ATM communication adaptor 61 and each interface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It connects with the Ethernet extended so that it might have a control function equivalent to the ATM network which performs data communication in an Asynchronous Transfer Mode (ATM), or the ATM network concerned. It is the control approach of the data processor which contains two or more data input output equipment for which said two or more sorts in which an attribute differs from the communications control means which communicates the data between the exteriors of data are outputted and inputted according to an individual. by setting up a virtual data path on said ATM network or said Ethernet for every each of two or more of said data with which attributes differ The control approach of the data processor characterized by delivering and receiving said data directly between said communications control means and each of two or more of said data input output equipment.

[Claim 2] It connects with the Ethernet (trademark) extended so that it might have a control function equivalent to the ATM network which performs data communication in an Asynchronous Transfer Mode (ATM), or the ATM network concerned. It is the data processor which contains two or more data input output equipment for which said two or more sorts in which an attribute differs from the communications control means which communicates the data between the exteriors of data are outputted and inputted according to an individual. said communications control means by setting up a virtual data path on said ATM network or said Ethernet for every each of two or more of said data with which attributes differ The data processor characterized by having the data transfer means which delivers and receives said data between each of two or more of said data input output equipment directly.

[Claim 3] It is the data processor characterized by having a DMA transfer function to the memory address of the arbitration of CPU with which said data transfer means of said communications control means controls said whole data processor in a data processor according to claim 2.

[Claim 4] In a data processor according to claim 2 said communications control means The virtual path and virtual channel as said virtual data path which are contained in a transceiver cel header, It has the managed table which matches and manages the memory address of the data transfer point corresponding to it. Said data transfer means The data processor characterized by acquiring said memory address of the proper corresponding to said virtual path and virtual channel from which an attribute differs, and which were assigned for every data from said managed table, and performing the DMA transfer of the data concerned.

[Claim 5] It is the data processor characterized by having the data memory to which the address was given by said each data input output equipment possible [said communications control means and DMA transfer] in the data processor according to claim 2.

[Claim 6] It is the data processor which sets to a data processor according to claim 2, and is characterized by equipping said each data input output equipment with the protocol processing means by which the protocol header information for transfer control can be added, deleted or disregarded.

[Claim 7] The data processor characterized by coming to unify two or more of said data input output equipment and said communications control means in a data processor according to claim 2.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] By connecting with the Ethernet extended so that it might have a control function equivalent to an ATM (Asynchronous Transfer Mode) network and an ATM network, this invention is applied to the ATM data processor which delivers and receives the data of which real-time operations, such as multimedia information, are required, and relates to an effective technique.

[0002]

[Description of the Prior Art] For example, in the field of data communication, it is becoming common to have diversified the information dealt with, to make the so-called multimedia information which needs real-time operations, such as sound information and image information, intermingled in addition to the usual text data etc., and to treat.

[0003] By the way, when other information terminals, multimedia equipment, and data exchanges were performed via a communication link transmission line, the multimedia data with which the protocol information for communications control etc. was added to the data frame were treated like the after-mentioned. Moreover, the data of an application unit were not discriminable in the physical layer/data link layer for a communication link. For this reason, the transmit data once added protocol information in the main memory of CPU of a data processor altogether, and had transmitted it via the communication adapter. Moreover, the data received via the communication link transmission line were once stored in the main memory of CPU, deleted protocol information, and were passing it to the multimedia output unit.

[0004] Drawing 6 is the conceptual diagram showing above conventional functional block and data flow in the data processor considered. Here, an example of the IP packet used with the TCP/IP communications protocol which has spread most is shown. In addition, the TCP/IP communications protocol etc. is indicated by the reference of Shokodo Co., Ltd. and 1993 year 9 month 22 day issue "data communication" P113 – P195 grade.

[0005] For the main memory of CPU, and 130, as for voice compound and the output circuit of a data processor, and 150, in drawing 6, the data of a data processor and an address bus, and 140 are [110 / CPU of a data processor; and 120 / a voice output loudspeaker, the video input circuit where in a display signal combination circuit and a display circuit, and 170 voice input and a compression circuit and 190 process a microphone, and, as for 200, a display, and 180 process ./160 ./the input signal from a video camera and a compression circuit, and 210] video cameras. These voice circuit 140, the display circuit 160, the voice input circuit 180, and the video input circuit 200 can be named a multimedia processing circuit generically.

[0006] The flow of received data is described first. The data received by the communication adapter 270 via the data communication way are transmitted to main memory 120 by reception and the DMA transfer function of a communication adapter 270 as IP packet data using a bus 130. The voice output data 220 which are an example of received data are transmitted to main memory 120 (** of data flow 280), they delete IP packet header etc., use it only as voice output data, and are transmitted to the voice circuit 140 (**). In the case of the display data 230 which are an example of received data similarly, it transmits from a communication adapter 270 (**), and IP header is deleted and it transmits to the display circuit 160 (**).

[0007] Next, the flow of transmit data is described. Voice data incorporated from the voice input circuit 180 via the microphone 190 is transmitted to main memory 120 (**), it is encapsulated in IP header, turns into the voice input data 240, and is transmitted to a communication adapter 270 (**). On the other hand, the data incorporated from the video input circuit 200 via the video camera 210 are transmitted to main memory 120 (**), they are encapsulated in IP header, turn into the video input data 250, and are transmitted to a communication adapter 270 (**). Moreover, as for a document / database data 260 delivered and received between communication adapters 270 (**), addition and deletion of IP header are performed on main memory 120.

[0008]

[Problem(s) to be Solved by the Invention] However, the following technical problems occur by the above conventional data-processing methods.

[0009] (1) Since data discernment of an application unit cannot be performed in the physical layer/data link layer, it is necessary to once transmit to the main memory of a data processor, to process under the break in of CPU, and to form a comparatively mass buffer on main memory for timing adjustment of transmission and reception etc.

[0010] (2) And in order to add or delete the information for protocol control (for example, IP header in TCP/IP etc.) as header information of multimedia data, it is necessary to once transmit data to the main memory of a data processor, and to process under the break in of CPU.)

[0011] (3) Since the information for the protocol control by main memory needs addition/to be deleted, it is impossible to deliver immediate data between a multimedia I/O device and a communication adapter.

[0012] (4) Since the data transfer on the bus of a data processor occurs frequently, the throughput of equipment falls. [0013] (5) The case where the capacity of main memory is small, and in the case of the low data processor of the throughput of CPU, there is concern which cannot maintain the real time nature of voice data or a video data.

[0014] The purpose of this invention is to offer the data-processing technique of realizing quality service of the multimedia information which needs real time nature, without being restrained by the capacity of CPU of a data processor, memory size, etc.

[0015] Other purposes of this invention are to offer the data-processing technique which can realize a multimedia terminal [that it is small and low price].

[0016] Other purposes of this invention are in the data processor containing the communication adapter equipped with the Ethernet interface extended so that control information equivalent to an ATM network might be included to offer the data-processing technique of realizing quality service of the multimedia information which needs real time nature, without being restrained by the capacity of CPU of a data processor, the size of main memory, etc.

[0017]

[Means for Solving the Problem] The data-processing technique of this invention offers the following means as an example.

[0018] (1) When the Ethernet extended so that it might have a control function equivalent to an ATM network or ATM performs other information terminals, multimedia equipment, and data exchanges, set the virtual path (VP) and virtual channel (VC) used as a channel as the application unit to treat, and make it possible to perform the data exchange of a direct VP/VC unit between an ATM communication adapter (communications control means) and each multimedia processing circuit (data input output equipment).

[0019] (2) Equip the memory address of the arbitration of CPU (Centoral Process Unit) of an ATM data processor with the ATM communication adapter in which a DMA (Direct Memory Access) transfer is possible.

[0020] (3) Equip an ATM communication adapter with the table which manages the DMA transfer address of each VC unit, identify the attribute of data per VC, and perform a DMA transfer at the address of the purpose of the data transfer point concerned.

[0021] (4) Each multimedia processing circuit is equipped with the data memory to which the address in which an ATM communication adapter and a DMA transfer are possible was given.

[0022] (5) Each multimedia processing circuit is equipped with the function in which the protocol header information for transfer control is added, deleted or disregarded.

[0023]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail, referring to a drawing.

[0024] (Gestalt 1 of operation) Drawing 1 is the conceptual diagram showing an example of the configuration of the ATM data processor which are the data processor of this invention, and the gestalt of 1 operation of the control approach. The ATM data processor of the gestalt of this operation functions as an ATM terminal connected to the ATM network.

[0025] In a system bus 13 The main memory 12 and the loudspeaker 15 in which the control program and processing-object data of CPU11 and CPU11 which control the whole are stored are minded. The voice output interface 54 and display 17 which output sound information, such as voice, are minded. The display interface 56 and microphone 19 which output image information etc. are minded. The multimedia application of the video input interface 60 grade which inputs image information through the voice input interface 58 which inputs sound information, such as voice, and a video camera 21 is connected.

[0026] The voice output interface 54 consists of voice output circuit 54a, voice combination circuit 54b, IP header deletion circuit 54c, and voice output data memory 54d.

[0027] The display interface 56 consists of display circuit 56a, display signal combination circuit 56b, IP header deletion circuit 56c, and display data memory 56d.

[0028] The voice input interface 58 consists of voice input circuit 58a, speech compression circuit 58b, IP header addition circuit 58c, and voice input data memory 58d.

[0029] The video input interface 60 consists of video input circuit 60a, video compression circuit 60b, IP header addition circuit 60c, and video input data memory 60d.

[0030] Furthermore, with the gestalt of this operation, the ATM communication adapter 61 combined with the ATM network 65 is connected to the system bus 13 as a communication interface with the exterior. The gestalt of this operation shows the example which uses a TCP/IP protocol as a communications control protocol. In the case of the ATM network 65, a virtual communication path (VP) and a virtual communication channel (VC) can be constituted in each application unit.

[0031] An example of the division processing at the time of forming into an ATM cel the data configuration treated between each multimedia processing circuit and an ATM communication adapter and data with IP header is shown in drawing 3. Moreover, the configuration of an ATM cel is illustrated in drawing 4. In addition, since the configuration and TCP/IP protocol of an ATM cel are known well, the explanation according to individual is omitted.

[0032] With the gestalt of this operation, define VP=3 as the virtual communication path for transmitting the input data of a video camera 21, and VC=X+2 is defined as a virtual channel. Define VP=3 as the virtual communication path of the received data displayed on a display 17, and VC=X+4 is defined as a virtual channel. Define VP=2 as the virtual communication path for transmitting the voice data incorporated from the microphone 19, and VC=X+3 are defined as a virtual channel. Define VP=2 as the virtual communication path for receiving the voice data outputted to a loudspeaker 15, define VC=X+1 as a virtual channel, VP=1 is defined as the virtual communication path for transmitting and receiving a document / database data 26 grade on main memory 12; and VC=X+5 is defined as the virtual channel. However, X is the integer of arbitration.

[0033] It has the managed table 64 which manages correspondence with the memory address which write the header processing circuit 63 which consists of receiving cel header analysis circuit 63a and transmitting cel header addition circuit 63b which perform the bus controller 62 for performing a DMA transfer, and header analysis of a receiving cel, and a transmitted and received data, and VP of a cel header and VC in the ATM communication adapter 61.

[0034] In the case of the gestalt of this operation, buffer 12a for the protocol processing by CPU11 is prepared in the specific region of main memory 12, and Address E is given [Address D and video input data memory 60d] to Address A and voice output data memory 54d to Address B and display data memory 56d at this buffer 12a at Address C and voice input data memory 58d, respectively.

[0035] Hereafter, an example of an operation of the ATM data processor of the gestalt of this operation is explained.

[0036] Data are directly delivered [in the case of the gestalt of this operation / the bus controller 62 of the ATM communication adapter 61] between voice output data memory 54d, display data memory 56d, voice input data memory 58d, and video input data memory 60d and received like the after-mentioned, without minding main memory 12 in a DMA transfer.

[0037] That is, first, at the time of the data reception from the ATM network 65, if a receiving cel is detected, the ATM communication adapter 61 will determine the DMA transfer address with reference to the managed table 64, and will transmit received data to an object memory address. When receiving cels are VP=2 and VC=X+1, it is transmitted to the Bth address (** of data flow 28). As for the Bth address, voice output data memory 54d of the voice output interface 54 is assigned. As for the data transmitted to voice output data memory 54d of the voice output interface 54, IP header exists. IP header deletion circuit 54c deletes IP header of received data, considers only as voice data, and is passed to voice combination circuit 54b. The passed data are outputted to a loudspeaker 15 via voice output circuit 54a.

[0038] Similarly, the DMA transfer (**) of VP=3 and the receiving cel of VC=X+4 is carried out to display data memory 56d of an address C address, they delete IP header in IP header deletion circuit 56c, and are displayed on a display 17 via display signal combination circuit 56b and display circuit 56a.

[0039] Moreover, if it sees about the data transmitting system to the ATM network 65, the voice input data (video input data) incorporated from the microphone 19 (video camera 21) will be stored in voice input data memory 58d (video input data memory 60d) each via voice input circuit 58a (video input circuit 60a), speech compression

circuit 58b (video compression circuit 60b), and IP header addition circuit 58c (IP header addition circuit 60c). The data which exist in voice input data memory 58d or video input data memory 60d are periodically incorporated by the ATM communication adapter 61 in a DMA transfer with a bus controller (**, **). IP data by which the DMA transfer was carried out are divided into cell size which is illustrated by drawing 3 and drawing 4, and a transmitting cel header is added to them, and they are transmitted to an ATM network. In addition, the information established at the time of initiation of a session with a phase hand's terminal with which the contents of the IP header minded the ATM network 65 is beforehand set as IP header addition circuits 58c and 60 from CPU11.

[0040] In addition, the document / database data 26 assigned to VP1 are delivered and received in a DMA transfer between buffer 12a of main memory 12, and is processed by (**) and CPU11 like before.

[0041] According to the ATM data processor of the gestalt of this operation, thus, the ATM communication adapter 61, To the commo data between the voice output interface 54 which processes multimedia information, the display interface 56, the voice input interface 58, and the video input interface 60, transfer Since it performs directly, without needing the break in of CPU11 in a DMA transfer Delivery of commo data is attained in the form independent of the capacity and the load profile initiation of CPU11, the capacity of main memory 12, etc., and the real time nature of multimedia information can be secured. The engine performance of an ATM data processor and improvement in operability are realizable for improvement in the quality of multimedia information, such as voice and image information, or dependability, and a pan.

[0042] Moreover, if it puts in another way while the load of CPU11 for multimedia information processing is mitigable, while being able to use cheap CPU11 with a more low throughput, the capacity of the main memory 12 for multimedia information processing can be reduced, and low-pricing of a terminal unit can be realized.

[0043] (Gestalt 2 of operation) Drawing 2 is the conceptual diagram showing an example of the configuration of the ATM data processor which are the data processor of this invention, and the gestalt of other operations of the control approach. The configuration of this drawing 2 shows the gestalt of the operation which incorporated the multimedia circuit to the ATM communication adapter 81 interior using progress of the high integration technique of semiconductor integrated circuit equipment. That is, the ATM communication adapter 81 of the gestalt of this operation builds the data buffer memory 83 common to the voice output interface 74, the display interface 76, the voice input interface 78, the video input interface 70, and these other than a bus controller 82, the header processing circuit 63, and the managed table 64, and IP header addition / deletion circuit 84 in one.

[0044] And the data based on a DMA transfer are outputted [the address B-E address of the memory map of CPU11 of an ATM data processor is assigned to the data buffer memory 83 of the ATM communication adapter 81 interior, and] through the common data buffer memory 83 of a multimedia circuit, and IP header addition / deletion circuit 84 and inputted directly, without minding main memory 12 between each of the voice output interface 74, the display interface 76, the voice input interface 78, and the video input interface 70. The procedure of data is the same as that of the contents of the gestalt 1 of the operation illustrated by drawing 1.

[0045] In the case of the gestalt of this operation, while the same effectiveness as the gestalt 1 of the above-mentioned operation is acquired, a miniaturization and low-pricing of the ATM data processor which functions as a multimedia terminal are realizable by unifying the multimedia processor and the ATM communication adapter 61 of the voice output interface 74, the display interface 76, the voice input interface 78, and video input interface 70 grade.

[0046] (Gestalt 3 of operation) With reference to drawing 5, the data processor of this invention which is the gestalt of other operations further is explained. With the gestalt of this operation, the extended Ethernet adapter corresponding to a CIF (Cells In Frames) technique like the after-mentioned which is not illustrated is used instead of the ATM communication adapter 61 of drawing 1, and the extended mold Ethernet which is not illustrated is connected instead of being the ATM network 65.

[0047] namely, -- as a LAN (Local Area Network) medium -- current -- with the Ethernet technique which has spread widely That the quality of control equivalent to an ATM network or service should be realized, so that it may be illustrated by drawing 5 The cel header (5 bytes of data which consist of GFC/VPI, VPI, VPI, VCI, VCI and VCI, PT/CLP, and HEC) of ATM illustrated in drawing 4, and the CIF header of the 8-byte configuration containing the same data are added to a part of communication link packet. Decision of the extended mold Ethernet using the format which stored the cel payload in the usual IP packet part is progressing. With the gestalt of this operation, it is applicable also to this extended mold Ethernet. In this case, by the extended Ethernet adapter, discernment of the usual Ethernet and extended mold Ethernet can consider using the higher-level

protocol identifier written for example, in the Ethernet type.

[0048] When the phase hand of a session is an ATM terminal, an extended Ethernet adapter forms into an ATM cell the data received from the application of the voice output interface 54, the display interface 56, the voice input interface 58, and video input interface 60 grade, encapsulates them with the Ethernet frame which contains a CIF header as it is, and is sent out to extended mold Ethernet. Conversely, the coming Ethernet frame looks at whether it is CIF correspondence, and distinguishes a higher-level protocol identifier, and, in corresponding to CIF, a DMA transfer is performed to the application corresponding to VP/VC.

[0049] In this way the multimedia application (the voice output interface 54 --) using VP/VC in the CIF header contained in the communication link packet of extended mold Ethernet The same direct DMA transfer control between the display interface 56, the voice input interface 58, the video input interface 60, and an extended Ethernet adapter is possible. Multimedia data, such as voice and image information, can be processed without spoiling real time nature without being restrained by the capacity and the processing situation of CPU11, the capacity of main memory 12, etc. Furthermore, in the case of this extended mold Ethernet, there is also an advantage that a facility of the existing Ethernet which has spread widely can be used as it is.

[0050] Although invention made by this invention person above was concretely explained based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0051]

[Effect of the Invention] According to the control approach of the data processor of this invention, the effectiveness that quality service of the multimedia information which needs real time nature can be realized without being restrained by the capacity of CPU of a data processor, memory size, etc. is acquired.

[0052] Moreover, according to the control approach of the data processor of this invention, the effectiveness that a multimedia terminal [that it is small and low price] is realizable is acquired.

[0053] Moreover, the effectiveness that quality service of the multimedia information which needs real time nature, without being restrained by the capacity of CPU of a data processor, memory size, etc. is realizable in the data processor containing the communication adapter equipped with the Ethernet interface extended so that control information equivalent to an ATM network might be included according to the control approach of the data processor of this invention is acquired.

[0054] According to the data processor of this invention, the effectiveness that quality service of the multimedia information which needs real time nature can be realized without being restrained by the capacity of CPU, memory size, etc. is acquired.

[0055] Moreover, according to the data processor of this invention, the effectiveness that a multimedia terminal [that it is small and low price] is realizable is acquired.

[0056] Moreover, the effectiveness that quality service of the multimedia information which needs real time nature, without being restrained by the capacity of CPU of a data processor, memory size, etc. is realizable in the data processor containing the communication adapter equipped with the Ethernet interface extended so that control information equivalent to an ATM network might be included according to the data processor of this invention is acquired.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the conceptual diagram showing an example of the configuration of the ATM data processor

which is the gestalt of 1 operation of this invention.

[Drawing 2] It is the conceptual diagram showing an example of the configuration of the ATM data processor which is the gestalt of other operations of this invention.

[Drawing 3] It is the conceptual diagram showing an example of the division processing at the time of forming data with IP header into an ATM cel.

[Drawing 4] It is the conceptual diagram showing an example of the configuration of an ATM cel.

[Drawing 5] It is the conceptual diagram showing an example of a transmitting format of the packet on the Ethernet extended so that the control and service equivalent to an ATM network which are used in the data processor which is the gestalt of operation of this invention might be possible.

[Drawing 6] It is the conceptual diagram showing an example of functional block in the data processor with which the former is considered, and data flow.

[Description of Notations]

11 [— System bus,] — CPU, 12 — Main memory, 12a — A buffer, 13 15 [— Video camera,] — A loudspeaker, 17 — A display, 19 — A microphone, 21 26 — A document / database data, 28 — Data flow; 54 — Voice output interface (data input output equipment), 54a — A voice output circuit, 54b — A voice combination circuit, 54 c— IP header deletion circuit (protocol processing means), 54d — Voice output data memory (data memory), 56 — Display interface (data input output equipment), 56a — A display circuit, 56b — A display signal combination circuit, 56 c—IP header deletion circuit (protocol processing means), 56d — Display data memory (data memory), 58 — Voice input interface (data input output equipment), 58a — A voice input circuit, 58b — A speech compression circuit, 58 c—IP header addition circuit (protocol processing means), 58d — Voice input data memory (data memory), 60 — Video input interface (data input output equipment), 60a — A video input circuit, 60b — A video compression circuit, 60 c—IP header addition circuit (protocol processing means), 60d — Video input data memory (data memory), 61 — ATM communication adapter (communications control means), 62 — A bus controller (data transfer means), 63 — Header processing circuit, 63a — A receiving cel header analysis circuit, 63b — Transmitting cel header addition circuit, 64 — A managed table, 65 — An ATM network, 70.— Video input interface (data input output equipment), 74 — A voice output interface (data input output equipment), 76 — Display interface (data input output equipment), 78 [— Data buffer memory (data memory), 84 / — IP header addition / deletion circuit (protocol processing means).] — A voice input interface (data input output equipment), 81 — An ATM communication adapter (communications control means), 82 — A bus controller (data transfer means), 83

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93580

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.⁶
H 04 L 12/28
G 06 F 13/00
H 04 L 29/04
H 04 N 7/10
7/24

識別記号

353

F I
H 04 L 11/20 D
G 06 F 13/00 353 B
H 04 N 7/10
H 04 L 13/00 303 B
H 04 N 7/13 Z

審査請求 未請求 請求項の数 7 OL (全 9 頁)

(21)出願番号 特願平8-246731

(22)出願日 平成8年(1996)9月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地
軸屋 孝之

(72)発明者 神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内
端 榮三

(72)発明者 神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内
木本 昌宏

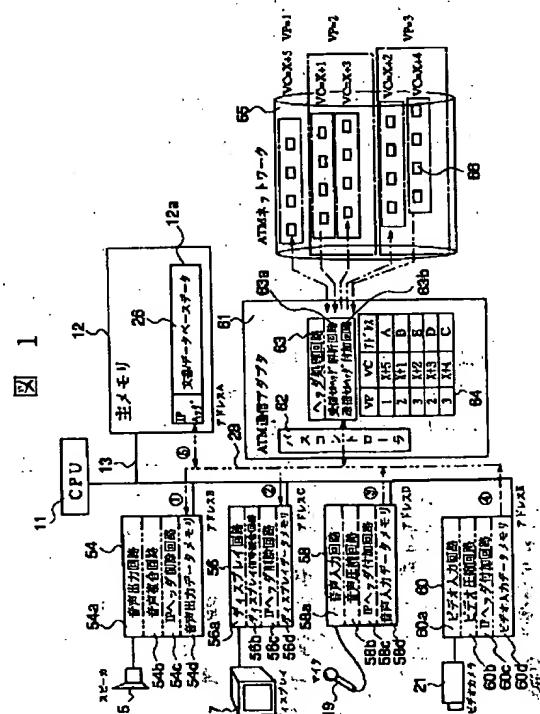
(74)代理人 神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内
弁理士 倉井 大和

(54)【発明の名称】 データ処理装置の制御方法およびデータ処理装置

(57)【要約】

【課題】 CPUの能力、メモリサイズ等に制約されずに、リアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現する。

【解決手段】 システムバス1-3にCPU1-1、主メモリ1-2、音声出力インターフェース5-4、ディスプレイインターフェース5-6、音声入力インターフェース5-8、ビデオ入力インターフェース6-0、バスコントローラ6-2および前記各インターフェース(属性の異なるデータ)毎に設定された仮想パス(VP)と仮想チャネル(VC)とDMA転送アドレスと対応付けて格納する管理テーブル6-4を備えたATM通信アダプタ6-1を接続し、各インターフェースにはバスコントローラ6-2からDMA転送可能なメモリ(54d~60d)および転送制御プロトコルのヘッダ削除/附加回路(54c~60c)を設け、ATM通信アダプタ6-1と各インターフェースとの間でCPU1-1や主メモリ1-2を介さずに直接にデータ転送を行う。



(2)

1

【特許請求の範囲】

【請求項1】 非同期転送モード(ATM)にてデータ通信を行うATMネットワークまたは当該ATMネットワークと等価な制御機能を有するように拡張されたイーサネットに接続され、外部との間におけるデータの通信を行う通信制御手段と、属性の異なる複数種の前記データの入出力を個別に行う複数のデータ入出力装置とを含むデータ処理装置の制御方法であつて、属性の異なる複数の前記データの各々毎に前記ATMネットワーク上または前記イーサネット上に仮想データ経路を設定することにより、前記通信制御手段と複数の前記データ入出力装置の各々との間で前記データの授受を直接に行うこととするデータ処理装置の制御方法。

【請求項2】 非同期転送モード(ATM)にてデータ通信を行うATMネットワークまたは当該ATMネットワークと等価な制御機能を有するように拡張されたイーサネット(登録商標)に接続され、外部との間におけるデータの通信を行う通信制御手段と、属性の異なる複数種の前記データの入出力を個別に行う複数のデータ入出力装置とを含むデータ処理装置であつて、前記通信制御手段は、属性の異なる複数の前記データの各々毎に前記ATMネットワーク上または前記イーサネット上に仮想データ経路を設定することにより、複数の前記データ入出力装置の各々との間における前記データの授受を直接に行うデータ転送手段を備えたことを特徴とするデータ処理装置。

【請求項3】 請求項2記載のデータ処理装置において、前記通信制御手段の前記データ転送手段は、前記データ処理装置の全体を制御するCPUの任意のメモリ番地に対するDMA転送機能を備えたことを特徴とするデータ処理装置。

【請求項4】 請求項2記載のデータ処理装置において、前記通信制御手段は、送受信セルヘッダに含まれる前記仮想データ経路としての仮想バスおよび仮想チャネルと、それに対応するデータの転送先のメモリ番地とを対応付けて管理する管理テーブルを持ち、前記データ転送手段は、前記管理テーブルから、属性の異なるデータ毎に割り当てられた前記仮想バスおよび仮想チャネルに対応する固有の前記メモリ番地を取得して当該データのDMA転送を行うことを特徴とするデータ処理装置。

【請求項5】 請求項2記載のデータ処理装置において、個々の前記データ入出力装置は、前記通信制御手段とDMA転送可能にアドレスが付与されたデータメモリを備えたことを特徴とするデータ処理装置。

【請求項6】 請求項2記載のデータ処理装置において、個々の前記データ入出力装置は、転送制御用のプロトコルヘッダ情報を付加、削除、または無視することができるプロトコル処理手段を備えたことを特徴とするデータ処理装置。

2

【請求項7】 請求項2記載のデータ処理装置において、複数の前記データ入出力装置と前記通信制御手段とが一体化されてなることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM(Asynchronous Transfer Mode)ネットワークや、ATMネットワークと等価な制御機能を有するように拡張されたイーサネット等に接続されることによってマルチメディア情報等のリアルタイム処理を要求されるデータの授受を行うATMデータ処理装置等に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、データ通信の分野では、取り扱われる情報は多様化してきており、通常のテキストデータ等に加えて、音響情報、映像情報等のリアルタイム処理が必要ないわゆるマルチメディア情報を混在させて扱うことが一般化している。

【0003】 ところで、通信伝送路経由で、ほかの情報端末、マルチメディア装置とデータ交換を行う場合、後述のように、データフレームに通信制御のためのプロトコル情報等が付加されたマルチメディアデータを扱っていた。また通信用物理層/データリンク層にてアプリケーション単位のデータの識別を行えなかった。このため、送信データは、すべて一旦データ処理装置のCPUの主メモリにおいてプロトコル情報を附加して通信アダプタ経由で送信していた。また通信伝送路経由で受信したデータは、一旦CPUの主メモリに貯めてプロトコル情報を削除してマルチメディア出力装置に渡していた。

【0004】 図6は、上述のような従来の考えられるデータ処理装置における機能ブロックとデータの流れを示す概念図である。ここでは最も普及しているTCP/IP通信プロトコル等で使われるIPパケットの一例を示している。なお、TCP/IP通信プロトコル等に関しては、株式会社昭晃堂、1993年9月22日発行「データ通信」P113～P195等の文献に記載されている。

【0005】 図6において、1'1'0はデータ処理装置のCPU、1'2'0はCPUの主メモリ、1'3'0はデータ処理装置のデータおよびアドレスバス、1'4'0はデータ処理装置の音声複合および出力回路、1'5'0は音声出力スピーカ、1'6'0はディスプレイ信号複合回路およびディスプレイ回路、1'7'0はディスプレイ、1'8'0は音声入力および圧縮回路、1'9'0はマイク、2'0'0はビデオカメラからの入力信号を処理するビデオ入力回路および圧縮回路、2'1'0はビデオカメラである。これら、音声回路1'4'0、ディスプレイ回路1'6'0、音声入力回路1'8'0、ビデオ入力回路2'0'0はマルチメディア処理回路と総称することができる。

【0006】 受信データの流れを最初に述べる。データ

(3)

3

通信路経由で通信アダプタ270にて受信したデータはIPパケットデータとして受け取り、通信アダプタ270のDMA転送機能にてバス130を利用して主メモリ120に転送される。受信データの一例である音声出力データ220は、主メモリ120に転送(データの流れ280の①)されて、IPパケットヘッダ等を削除して音声出力データのみにして、音声回路140に転送

(②)される。同様に受信データの一例であるディスプレイデータ230の場合、通信アダプタ270より転送(③)し、IPヘッダを削除してディスプレイ回路160に転送(④)する。

【0007】次に送信データの流れを述べる。マイク190を経由して音声入力回路180より取り込んだ音声データは、主メモリ120に転送(⑤)されIPヘッダにてカプセル化され、音声入力データ240となり、通信アダプタ270に転送(⑥)される。一方、ビデオカメラ210を経由してビデオ入力回路200より取り込んだデータは、主メモリ120に転送(⑦)されIPヘッダにてカプセル化されビデオ入力データ250となり、通信アダプタ270に転送(⑧)される。また、通信アダプタ270との間で授受(⑨)される文書/データベースデータ260は、主メモリ120上において、IPヘッダの付加や削除が行われる。

【0008】

【発明が解決しようとする課題】しかしながら、上述のような従来のデータ処理方式では、次のような技術的課題がある。

【0009】(1) 物理層/データリンク層にてアプリケーション単位のデータ識別を行えないために、一旦データ処理装置の主メモリに転送してCPUの介入の下で処理する必要があり、送受信のタイミング調整等のために比較的大容量のバッファを主メモリ上に設ける必要がある。

【0010】(2) かつプロトコル制御のための情報(たとえば、TCP/IPにおけるIPヘッダ等)をマルチメディアデータのヘッダ情報として付加または削除するためデータ処理装置の主メモリに一旦データを転送してCPUの介入の下で処理する必要がある。

【0011】(3) 主メモリでのプロトコル制御のための情報の付加/削除が必要なため、マルチメディア入出力装置と通信アダプタ間で直接データの受け渡しを行うことが不可能である。

【0012】(4) データ処理装置のバス上でのデータ転送が頻繁に発生するために装置のスループットが低下する。

【0013】(5) 主メモリの容量が小さい場合や、CPUの処理能力の低いデータ処理装置の場合、音声データやビデオデータのリアルタイム性を維持できない懸念がある。

【0014】本発明の目的は、データ処理装置のCPU

の能力、メモリサイズ等に制約されずに、リアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現するデータ処理技術を提供することにある。

【0015】本発明の他の目的は、小形で低価格なマルチメディア端末を実現することが可能なデータ処理技術を提供することにある。

【0016】本発明の他の目的は、ATMネットワークと同等な制御情報を含むように拡張されたイーサネットインターフェースを備えた通信アダプタを含むデータ処理装置において、データ処理装置のCPUの能力、主メモリのサイズ等に制約されずにリアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現するデータ処理技術を提供することにある。

【0017】

【課題を解決するための手段】本発明のデータ処理技術は、一例として以下の手段を提供する。

【0018】(1) ATMネットワークやATMと等価な制御機能を有するように拡張されたイーサネットにてほかの情報端末、マルチメディア装置とデータ交換を行う場合に、扱うアプリケーション単位に通信路となる仮想パス(VP)と仮想チャネル(VC)を設定し、ATM通信アダプタ(通信制御手段)と各マルチメディア処理回路(データ入出力装置)間で直接VP/VC単位のデータ交換を行うことを可能にする。

【0019】(2) ATMデータ処理装置のCPU(Central Process Unit)の任意のメモリ番地にDMA(Direct Memory Access)転送可能なATM通信アダプタを備える。

【0020】(3) ATM通信アダプタに各VC単位のDMA転送アドレスを管理するテーブルを備え、VC単位にデータの属性を識別して当該データの転送先の目的の番地にDMA転送を行う。

【0021】(4) 各マルチメディア処理回路は、ATM通信アダプタとDMA転送可能なアドレスが付与されたデータメモリを備える。

【0022】(5) 各マルチメディア処理回路は、転送制御用のプロトコルヘッダ情報を付加、削除、または無視する機能を備える。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0024】(実施の形態1) 図1は、本発明のデータ処理装置およびその制御方法の一実施の形態であるATMデータ処理装置の構成の一例を示す概念図である。本実施の形態のATMデータ処理装置は、ATMネットワークに接続されたATM端末として機能する。

【0025】システムバス13には、全体の制御を行うCPU11、CPU11の制御プログラムや処理対象データが格納される主メモリ12、スピーカ1-5を介して音声等の音響情報の出力をを行う音声出力インターフェース

(4)

5

54、ディスプレイ17を介して映像情報等を出力するディスプレイインターフェース56、マイク19を介して音声等の音響情報の入力を行う音声入力インターフェース58、ビデオカメラ21を介して映像情報の入力を行うビデオ入力インターフェース60等のマルチメディアアプリケーションが接続されている。

【0026】音声出力インターフェース54は、音声出力回路54a、音声複合回路54b、IPヘッダ削除回路54c、音声出力データメモリ54dからなる。

【0027】ディスプレイインターフェース56は、ディスプレイ回路56a、ディスプレイ信号複合回路56b、IPヘッダ削除回路56c、ディスプレイデータメモリ56dからなる。

【0028】音声入力インターフェース58は、音声入力回路58a、音声圧縮回路58b、IPヘッダ付加回路58c、音声入力データメモリ58dからなる。

【0029】ビデオ入力インターフェース60は、ビデオ入力回路60a、ビデオ圧縮回路60b、IPヘッダ付加回路60c、ビデオ入力データメモリ60dからなる。

【0030】さらに、本実施の形態では、システムバス13には、外部との通信インターフェースとして、ATMネットワーク65に結合されたATM通信アダプタ61が接続されている。本実施の形態では、通信制御プロトコルとしてTCP/IPプロトコルを利用する例を示している。ATMネットワーク65の場合、各アプリケーション単位に仮想通信パス(VP)と仮想通信チャネル(VC)を構成できる。

【0031】図3には、各マルチメディア処理回路とATM通信アダプタ間で扱うデータ構成、およびIPヘッダ付きデータをATMセル化する際の分割処理の一例を示す。また図4には、ATMセルの構成を例示する。なお、ATMセルの構成やTCP/IPプロトコルはよく知られているので、個別の説明は割愛する。

【0032】本実施の形態では、ビデオカメラ21の入力データを送信するための仮想通信パスにVP=3、仮想チャネルにVC=X+2を定義し、ディスプレイ17に表示する受信データの仮想通信パスにVP=3、仮想チャネルにVC=X+4を定義し、マイク19より取り込んだ音声データを送信するための仮想通信パスにVP=2、仮想チャネルにVC=X+3を定義し、スピーカ15に出力する音声データを受信するための仮想通信パスにVP=2、仮想チャネルにVC=X+1を定義し、主メモリ12上で文書/データベースデータ26等を送受信するための仮想通信パスにVP=1、仮想チャネルにVC=X+5を定義している。ただし、Xは任意の整数である。

【0033】ATM通信アダプタ61には、DMA転送を行うためのバスコントローラ62、受信セルのヘッダ解析を行う受信セルヘッダ解析回路63aおよび送信セ

6

ルヘッダ付加回路63bにて構成されるヘッダ処理回路63、送受信データを読み書きするメモリアドレスとセルヘッダのVP、VCとの対応を管理する管理テーブル64を持つ。

【0034】本実施の形態の場合、主メモリ12の特定領域にはCPU11によるプロトコル処理のためのバッファ12aが設けられ、このバッファ12aにはアドレスA、音声出力データメモリ54dにはアドレスB、ディスプレイデータメモリ56dにはアドレスC、音声入力データメモリ58dにはアドレスD、ビデオ入力データメモリ60dにはアドレスEがそれぞれ付与されている。

【0035】以下、本実施の形態のATMデータ処理装置の作用の一例を説明する。

【0036】本実施の形態の場合、ATM通信アダプタ61のバスコントローラ62は、後述のように、音声出力データメモリ54d、ディスプレイデータメモリ56d、音声入力データメモリ58d、ビデオ入力データメモリ60dとの間では、DMA転送にて、主メモリ12を介さずに、直接にデータの授受を行う。

【0037】すなわち、まず、ATMネットワーク65からのデータ受信時には、ATM通信アダプタ61は、受信セルを検出すると管理テーブル64を参照してDMA転送アドレスを決定し、対象メモリアドレスに受信データを転送する。受信セルがVP=2、VC=X+1の場合、アドレスB番地に転送(データの流れ28の①)される。アドレスB番地は音声出力インターフェース54の音声出力データメモリ54dが割付けされている。音声出力インターフェース54の音声出力データメモリ54dに転送されたデータは、IPヘッダが存在している。IPヘッダ削除回路54cは、受信データのIPヘッダを削除して音声データのみとし、音声複合回路54bに渡す。渡されたデータは、音声出力回路54aを経由してスピーカ15に出力される。

【0038】同様にVP=3、VC=X+4の受信セルはアドレスC番地のディスプレイデータメモリ56dにDMA転送(②)され、IPヘッダ削除回路56cにてIPヘッダを削除してディスプレイ信号複合回路56b、ディスプレイ回路56aを経由してディスプレイ17に表示される。

【0039】また、ATMネットワーク65へのデータ送信系について見ると、マイク19(ビデオカメラ21)から取り込んだ音声入力データ(ビデオ入力データ)は音声入力回路58a(ビデオ入力回路60a)、音声圧縮回路58b(ビデオ圧縮回路60b)、IPヘッダ付加回路58c(IPヘッダ付加回路60c)を経由して音声入力データメモリ58d(ビデオ入力データメモリ60d)の各々に貯えられる。音声入力データメモリ58dやビデオ入力データメモリ60dに存在するデータは定期的にバスコントローラによりDMA転送に

(5)

てATM通信アダプタ61に取り込まれ(③、④)。DMA転送されたIPデータは、図3および図4に例示されるようなセルサイズに分割されて送信セルヘッダを附加されてATMネットワークに転送される。なお、IPヘッダの内容は、ATMネットワーク65を介した相手先の端末とのセッションの開始時に確立された情報が、予めCPU11からIPヘッダ付加回路5.8c、60に設定されている。

【004.0】なお、VP1に割り当てられた文書/データベースデータ26は、従来のように、主メモリ12のバッファ12-aとの間でDMA転送にて授受され(5)、CPU11によって処理される。

【004.1】このように、本実施の形態のATMデータ処理装置によれば、ATM通信アダプタ61と、マルチメディア情報の処理を行う音声出力インタフェース54、ディスプレイインタフェース56、音声入力インタフェース5.8、ビデオ入力インタフェース60との間ににおける通信データに授受を、DMA転送にて、CPU11の介入を必要とせずに直接に実行するので、CPU11の能力および負荷状況や、主メモリ12の容量等に依存しない形で通信データの受け渡しが可能となりマルチメディア情報のリアルタイム性を確保でき、音声や画像情報等のマルチメディア情報の品質や信頼性の向上、さらには、ATMデータ処理装置の性能や操作性の向上を実現できる。

【004.2】また、マルチメディア情報処理のためのCPU11の負荷を軽減できるとともに、換言すれば、より処理能力の低い安価なCPU11を使用できるとともに、マルチメディア情報処理のための主メモリ12の容量を削減でき、端末装置の低価格化を実現できる。

【004.3】(実施の形態2) 図2は、本発明のデータ処理装置およびその制御方法の他の実施の形態であるATMデータ処理装置の構成の一例を示す概念図である。この図2の構成は、半導体集積回路装置の高集積化技術の進展を利用して、マルチメディア回路をATM通信アダプタ81内部に取り込んだ実施の形態を示している。すなわち、本実施の形態のATM通信アダプタ81は、バスコントローラ82、ヘッダ処理回路63および管理テーブル64の他に、音声出力インタフェース74、ディスプレイインタフェース76、音声入力インタフェース78、ビデオ入力インタフェース70と、これらに共通なデータバッファメモリ83およびIPヘッダ付加・削除回路84を一体に内蔵している。

【004.4】そして、ATMデータ処理装置のCPU11のメモリマップのアドレスB~E番地をATM通信アダプタ81内部のデータバッファメモリ83に割付けし、共通なマルチメディア回路のデータバッファメモリ83、IPヘッダ付加・削除回路84を介して、音声出力インタフェース74、ディスプレイインタフェース76、音声入力インタフェース78、ビデオ入力インタフェース70を

8

エース70の各々との間で、主メモリ12を介さずに、DMA転送によるデータの入出力を直接的に行う。データの処理手順は、図1に例示された実施の形態1の内容と同様である。

【004.5】この実施の形態の場合には、前述の実施の形態1と同様の効果が得られるとともに、音声出力インタフェース74、ディスプレイインタフェース76、音声入力インタフェース78、ビデオ入力インタフェース70等のマルチメディア処理系とATM通信アダプタ61とを一体化することで、マルチメディア端末として機能するATMデータ処理装置の小形化および低価格化を実現できる。

【004.6】(実施の形態3) 図5を参照して本発明のさらに他の実施の形態であるデータ処理装置について説明する。この実施の形態では、図1のATM通信アダプタ61の代わりに、後述のようなCIF(Cells In Frames)技術に対応した図示しない拡張イーサネットアダプタが用いられ、ATMネットワーク65の代わりに、図示しない拡張型イーサネットが接続される。

【004.7】すなわち、LAN(Local Area Network)媒体として現在広く普及しているイーサネット技術では、ATMネットワークと等価な制御やサービスの質を実現すべく、図5に例示されるように、通信パケットの一部に、図4にて例示したATMのセルヘッダ(GFC/VPI, VPI, VCI, VCI, VCI, P.T./CLP, HECからなる5バイトのデータ)と同じデータを含む8バイト構成のCIFヘッダを附加し、通常のIPパケット部分にセル・ペイロードを格納したフォーマットを用いる拡張型イーサネットの策定が進んでいる。本実施の形態では、この拡張型イーサネットにも適用できる。この場合、拡張イーサネットアダプタでは、通常のイーサネットと拡張型イーサネットの識別は、たとえばイーサネットタイプに書き込まれた上位プロトコル識別子を利用することが考えられる。

【004.8】拡張イーサネットアダプタは、セッションの相手先がATM端末の場合には、音声出力インタフェース54、ディスプレイインタフェース56、音声入力インタフェース5.8、ビデオ入力インタフェース60等のアプリケーションから受け取ったデータをATMセル化し、そのままCIFヘッダを含むイーサネット・フレームでカプセル化して拡張型イーサネットに送り出す。逆に到来するイーサネット・フレームがCIF対応か否かを上位プロトコル識別子を見て判別し、CIF対応の場合には、VP/VCIに対応したアプリケーションへDMA転送を行う。

【004.9】このように、拡張型イーサネットの通信パケットに含まれるCIFヘッダ内のVP/VCIを用いたマルチメディアアプリケーション(音声出力インタフェース54、ディスプレイインタフェース56、音声入力インタフェース5.8、ビデオ入力インタフェース60)

(6)

9

と拡張イーサネットアダプタとの間における同様の直接的なDMA転送制御が可能であり、CPU'1'の能力および処理状況や、主メモリ12の容量等に制約されることなく、音声や映像情報等のマルチメディアデータをリアルタイム性を損なうことなく処理することができる。さらに、この拡張型イーサネットの場合には、広く普及している既存のイーサネットの設備をそのまま利用できる、という利点もある。

【0050】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】

【発明の効果】本発明のデータ処理装置の制御方法によれば、データ処理装置のCPUの能力、メモリサイズ等に制約されずに、リアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現することができる、という効果が得られる。

【0052】また、本発明のデータ処理装置の制御方法によれば、小形で低価格なマルチメディア端末を実現することができる、という効果が得られる。

【0053】また、本発明のデータ処理装置の制御方法によれば、ATMネットワークと同等な制御情報を含むように拡張されたイーサネットインターフェースを備えた通信アダプタを含むデータ処理装置において、データ処理装置のCPUの能力、メモリサイズ等に制約されずにリアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現することができる、という効果が得られる。

【0054】本発明のデータ処理装置によれば、CPUの能力、メモリサイズ等に制約されずに、リアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現することができる、という効果が得られる。

【0055】また、本発明のデータ処理装置によれば、小形で低価格なマルチメディア端末を実現することができる、という効果が得られる。

【0056】また、本発明のデータ処理装置によれば、ATMネットワークと同等な制御情報を含むように拡張されたイーサネットインターフェースを備えた通信アダプタを含むデータ処理装置において、データ処理装置のCPUの能力、メモリサイズ等に制約されずにリアルタイム性を必要とするマルチメディア情報の高品質なサービスを実現することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるATMデータ処理装置の構成の一例を示す概念図である。

10

【図2】本発明の他の実施の形態であるATMデータ処理装置の構成の一例を示す概念図である。

【図3】IPヘッダ付きデータをATMセル化する際の分割処理の一例を示す概念図である。

【図4】ATMセルの構成の一例を示す概念図である。

【図5】本発明の実施の形態であるデータ処理装置において用いられる、ATMネットワークと等価な制御およびサービスが可能なよう拡張されたイーサネット上のパケットの送信フォーマットの一例を示す概念図である。

【図6】従来の考えられるデータ処理装置における機能ブロックとデータの流れの一例を示す概念図である。

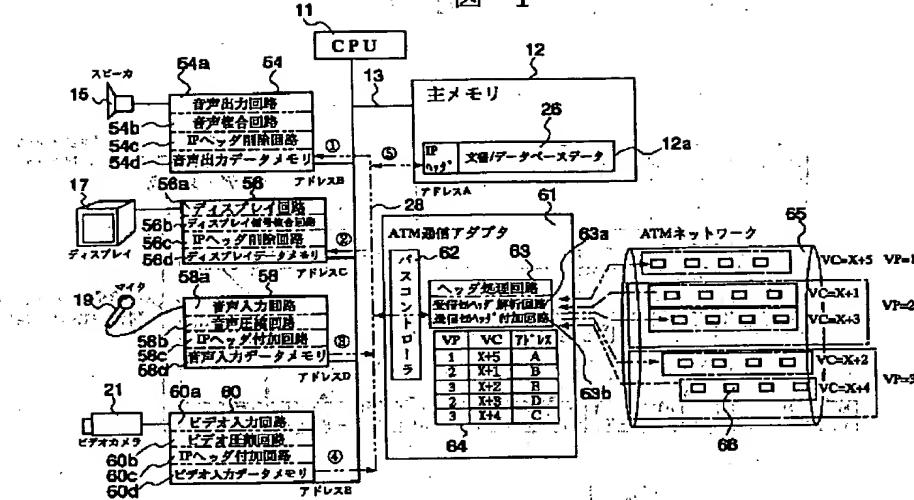
【符号の説明】

11…CPU、12…主メモリ、12a…バッファ、13…システムバス、15…スピーカ、17…ディスプレイ、19…マイク、21…ビデオカメラ、26…文書/データベースデータ、28…データの流れ、54…音声出力インターフェース(データ入出力装置)、54a…音声出力回路、54b…音声複合回路、54c…IPヘッダ削除回路(プロトコル処理手段)、54d…音声出力データメモリ(データメモリ)、56…ディスプレイインターフェース(データ入出力装置)、56a…ディスプレイ回路、56b…ディスプレイ信号複合回路、56c…IPヘッダ削除回路(プロトコル処理手段)、56d…ディスプレイデータメモリ(データメモリ)、58…音声入力インターフェース(データ入出力装置)、58a…音声入力回路、58b…音声圧縮回路、58c…IPヘッダ付加回路(プロトコル処理手段)、58d…音声入力データメモリ(データメモリ)、60…ビデオ入力インターフェース(データ入出力装置)、60a…ビデオ入力回路、60b…ビデオ圧縮回路、60c…IPヘッダ付加回路(プロトコル処理手段)、60d…ビデオ入力データメモリ(データメモリ)、61…ATM通信アダプタ(通信制御手段)、62…バスコントローラ(データ転送手段)、63…ヘッダ処理回路、63a…受信セルヘッダ解析回路、63b…送信セルヘッダ付加回路、64…管理テーブル、65…ATMネットワーク、70…ビデオ入力インターフェース(データ入出力装置)、74…音声出力インターフェース(データ入出力装置)、76…ディスプレイインターフェース(データ入出力装置)、78…音声入力インターフェース(データ入出力装置)、81…ATM通信アダプタ(通信制御手段)、82…バスコントローラ(データ転送手段)、83…データバッファメモリ(データメモリ)、84…IPヘッダ付加・削除回路(プロトコル処理手段)。

(7)

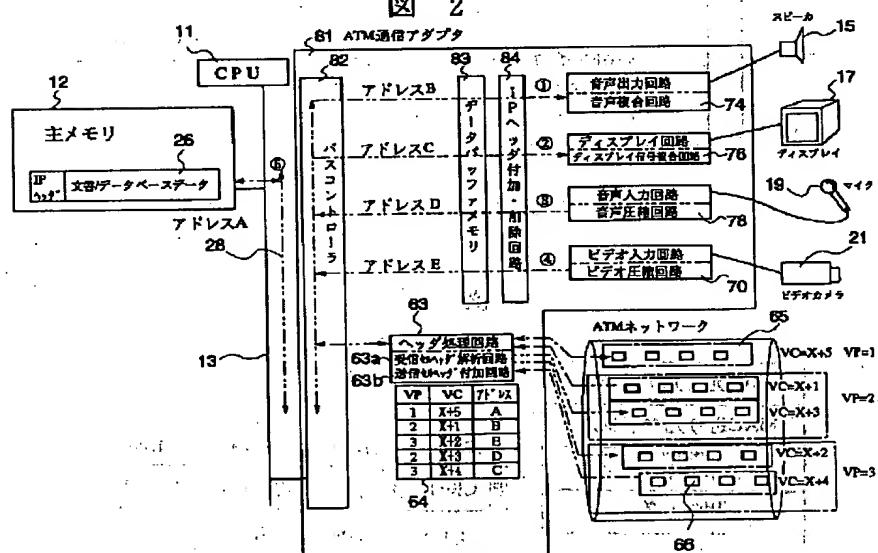
【図1】

図 1



【図2】

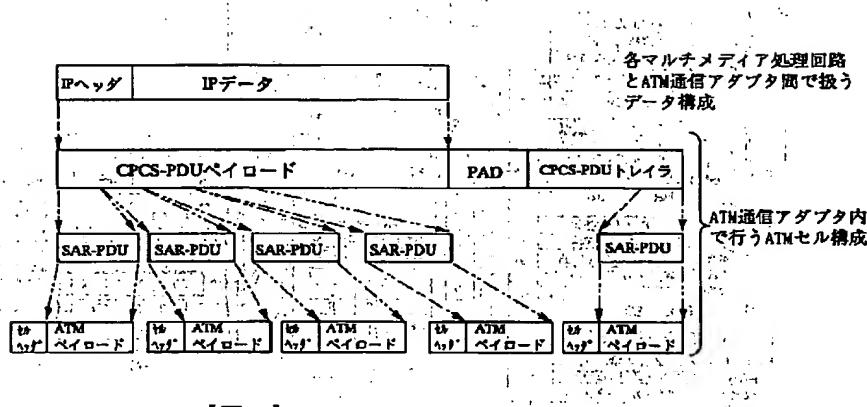
図 2



(8)

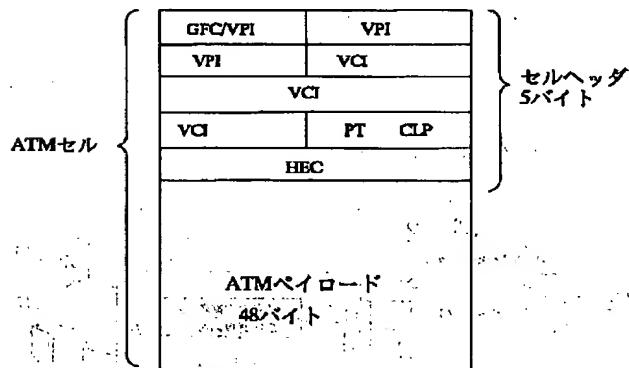
【図3】

図 3



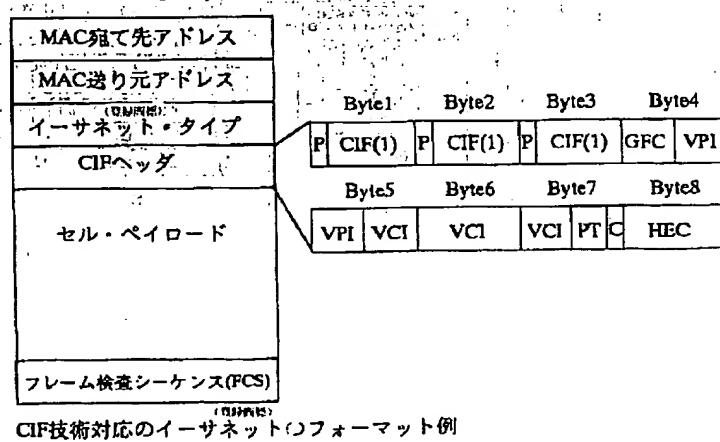
【図4】

図 4



【図5】

図 5

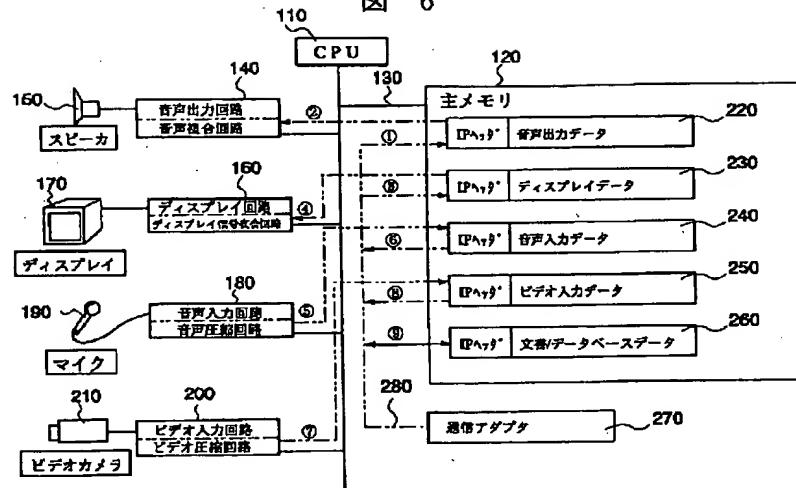


CIF技術対応のイーサネットのフォーマット例

(9)

【図6】

図 6



BEST AVAILABLE COPY